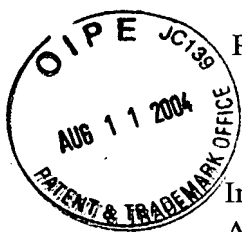


IPW



Patent

Customer No. 31561
Application No.: 10/709,591
Docket No.13097-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yang et al.
Application No. : 10/709,591
Filed : May 17, 2004
For : METHOD OF FABRICATING SEMICONDUCTOR
DEVICE
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93106283,
filed on: 2004/3/10.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

August 9, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

THIS PAGE BLANK (USPTO)



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 03 月 10 日
Application Date

申請案號：093106283
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

BEST AVAILABLE COPY

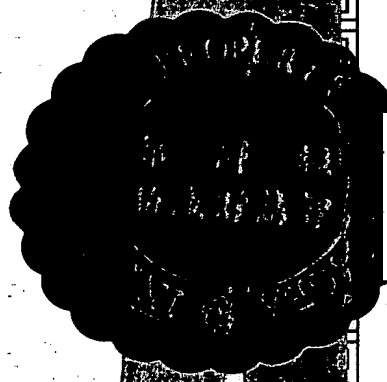
局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 6 月 18 日
Issue Date

發文字號：09320548110
Serial No.



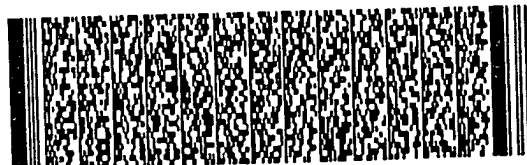
THIS PAGE BLANK (USPTO)

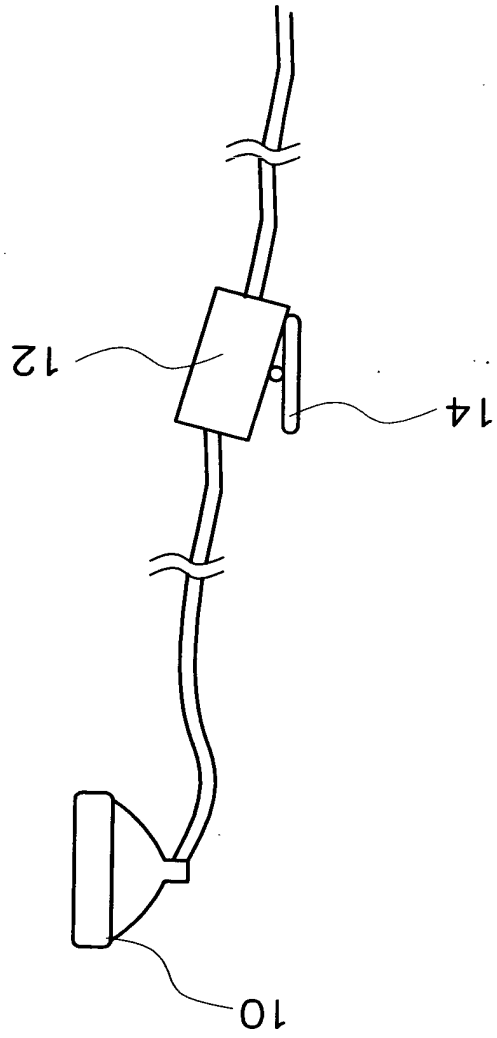
申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體元件的製造方法
	英 文	Method Of Fabricating Semiconductor Device
二、 發明人 (共3人)	姓 名 (中文)	1. 楊瑞賢 2. 吳國堅
	姓 名 (英文)	1. YANG, SWEEHAN J. H. 2. WU, KUO CHIEN
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台南市南區文南里12鄰南明街47號 2. 苗栗市中苗里中正路547號
	住居所 (英 文)	1. NO. 47, NANMING ST., SOUTH DISTRICT, TAINAN CITY 702, TAIWAN, R. O. C. 2. NO. 547, JUNGJENG RD., MIAOLI CITY, TAIWAN 360, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAoyUAN, TAIWAN, R. O. C.
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. LIEN, JIH CHANG





第 1 圖

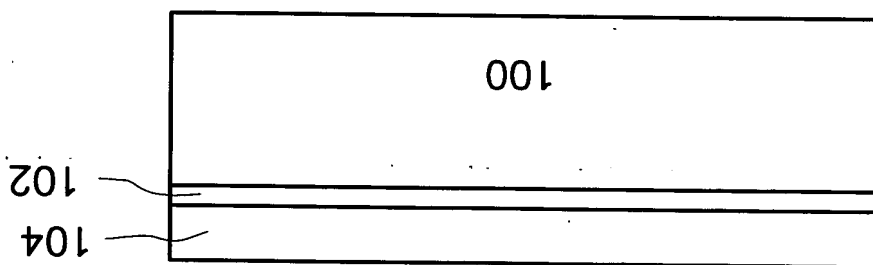
申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

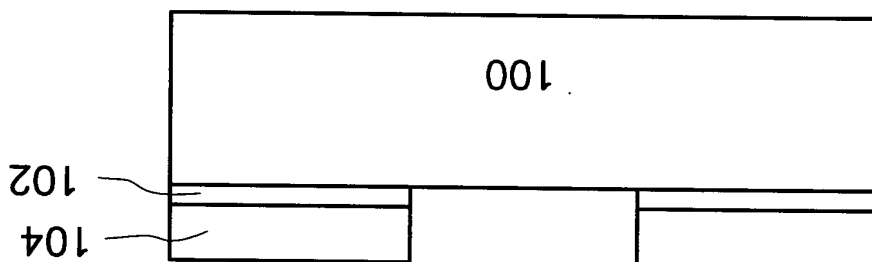
發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 管式凡
	姓名 (英文)	3. KUAN, SHIH FAN
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 桃園縣蘆竹鄉南順七街32巷2號6樓
	住居所 (英文)	3. 6F., NO. 2, LANE 32, NANSHUN 7ST ST., LUJHU TOWNSHIP, TAoyUAN COUNTY 338, TAIWAN R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

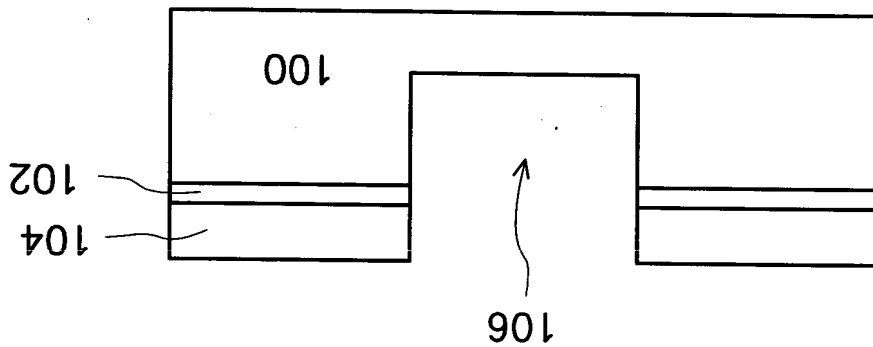




第1A圖



第1B圖



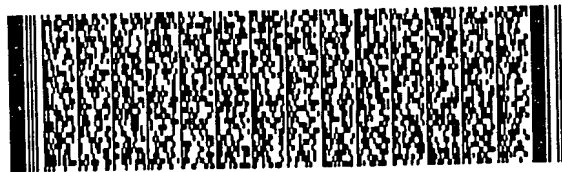
第1C圖

四、中文發明摘要 (發明名稱：半導體元件的製造方法)

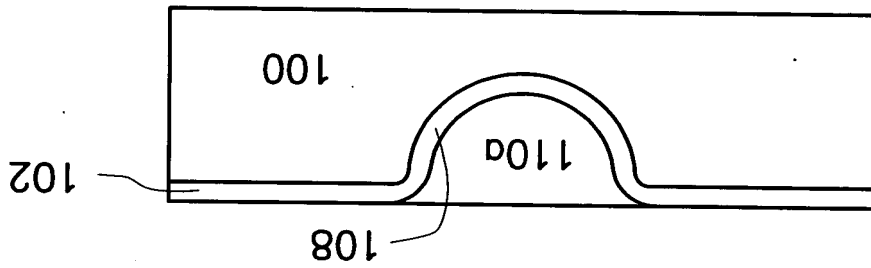
一種半導體元件的製造方法，此方法係在基底上形成具有頂蓋層的閘極結構，並在其側壁形成間砂壁，之後，在基底上形成一層頂面，裸露出頂蓋層的第一介電層。其後，在基底上預定形成位元線接觸窗的第一介電層及其周緣的頂蓋層上覆蓋一層緩衝層，並使得未覆蓋緩衝層而裸露出來之頂蓋層的厚度等於或小於緩衝層。接著，在基底上形成第二介電層，並形成一層罩幕層。此罩幕層具有開口，以定義位元線接觸窗開口，與閘極接觸窗開口的第一開口與第二開口圖案。之後，蝕刻罩幕層其第一開口所裸露的第二介電層及其下方的緩衝層、第一介電層，以形成位元線接觸窗開口，同時蝕刻罩幕層其第二開口所裸露的第二介電層及其下方的頂蓋層，以形成閘極接觸窗開口。

五、英文發明摘要 (發明名稱：Method Of Fabricating Semiconductor Device)

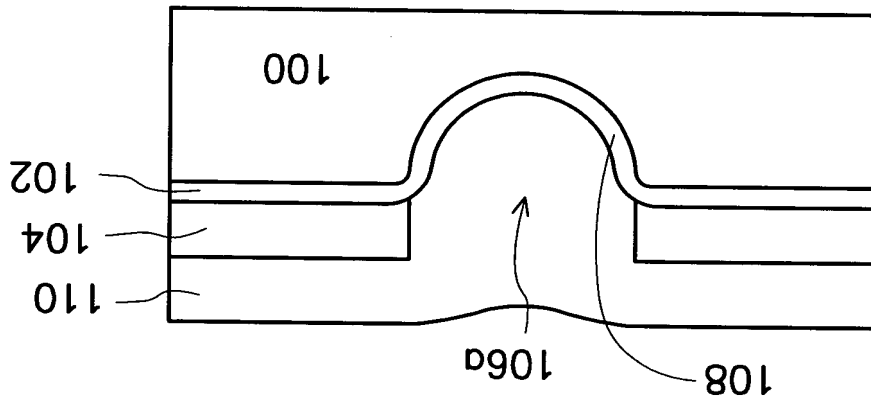
A method of fabricating semiconductor device is disclosed. Stacked gate structures having caps layer are formed on a substrate and a spacer is formed on each of the stacked gate structure. A first dielectric layer having a top surface exposing the cap layer is formed on the substrate. A buffer layer is formed to covering the first dielectric layer and the cap layers on a first



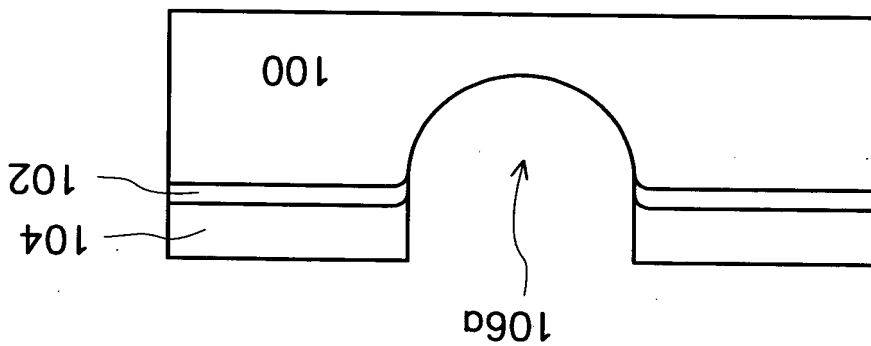
第1F圖



第1E圖



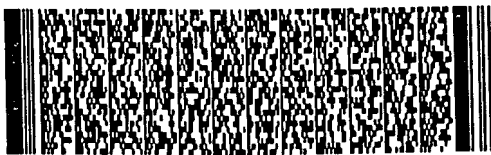
第1D圖



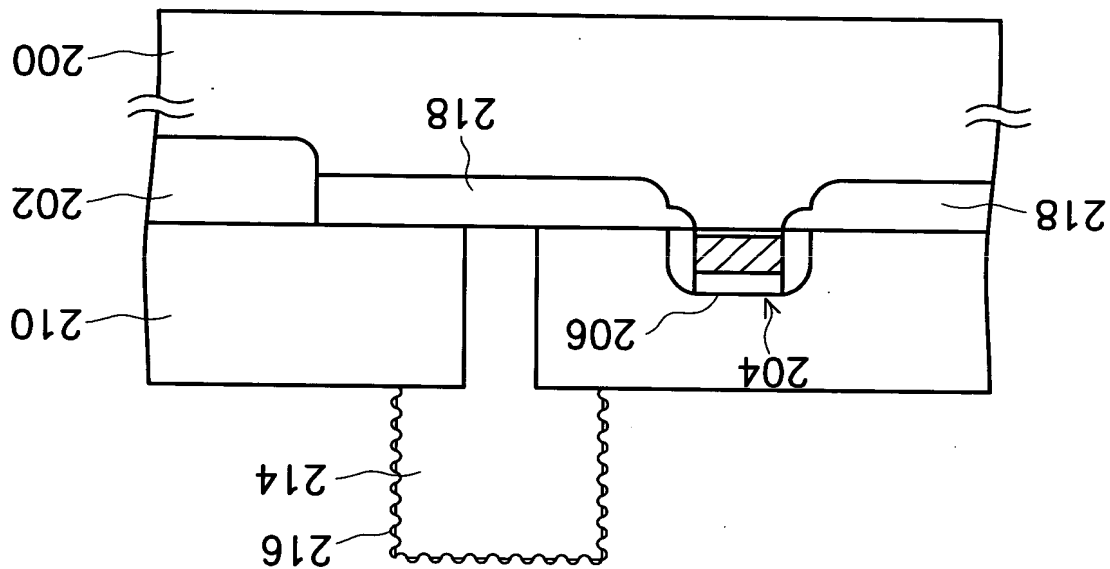
四、中文發明摘要 (發明名稱：半導體元件的製造方法)

五、英文發明摘要 (發明名稱：Method Of Fabricating Semiconductor Device)

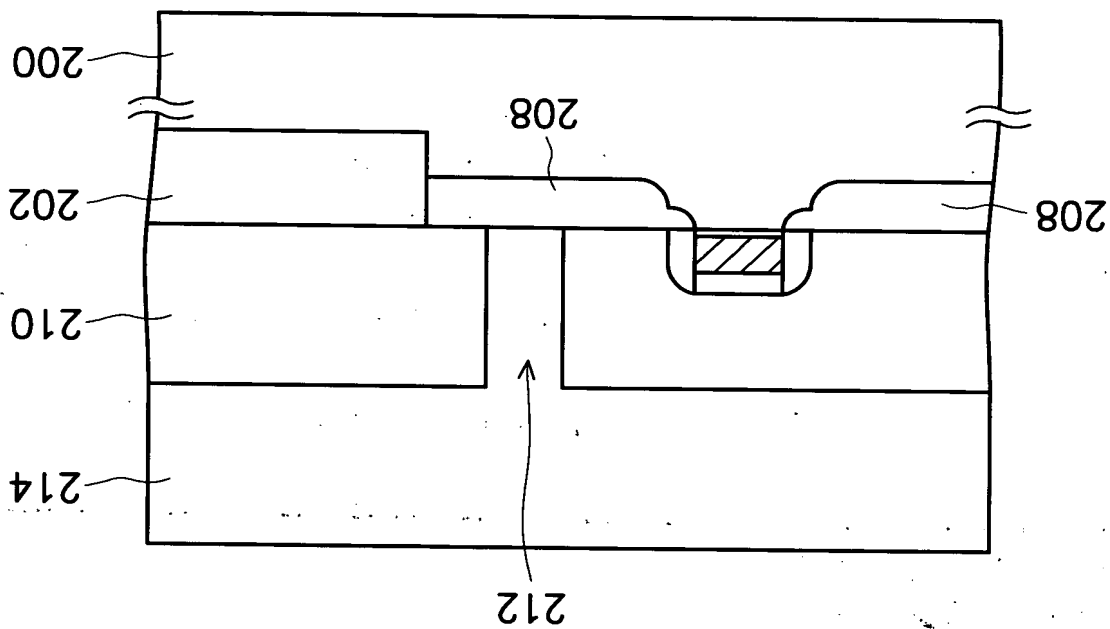
region of the substrate while exposing the first dielectric layer and the cap layers on a second region of the substrate. The cap layers on the second region of the substrate is removed partially until the thickness of the cap layers no larger than the buffer layer. A second dielectric layer and a mask layer are formed on the substrate. The mask having a first



第2C圖



第2B圖



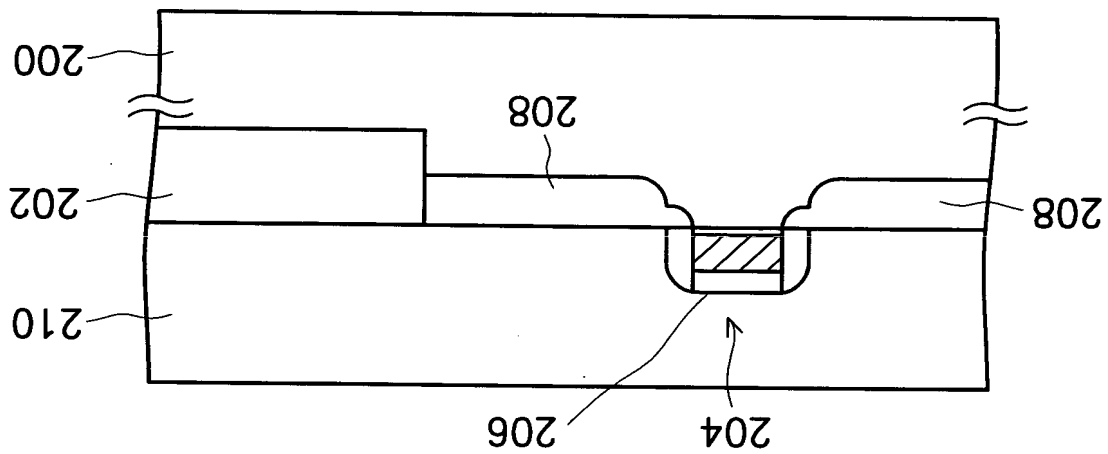
四、中文發明摘要 (發明名稱：半導體元件的製造方法)

五、英文發明摘要 (發明名稱：Method Of Fabricating Semiconductor Device)

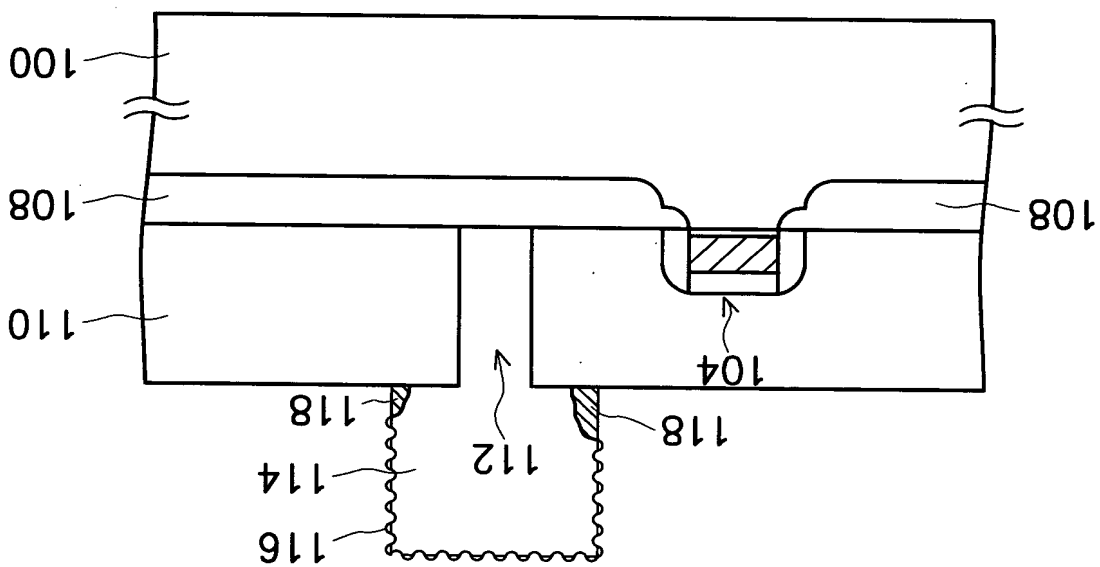
opening for defining a bit contact opening and a second opening for defining a gate contact opening. The second dielectric layer exposed by the first opening and underlying buffer layer and the first dielectric layer is etched to form the bit line contact opening, and simultaneously the second dielectric layer exposed by the second opening and underlying cap layer is etched to form



第2A圖



第1圖



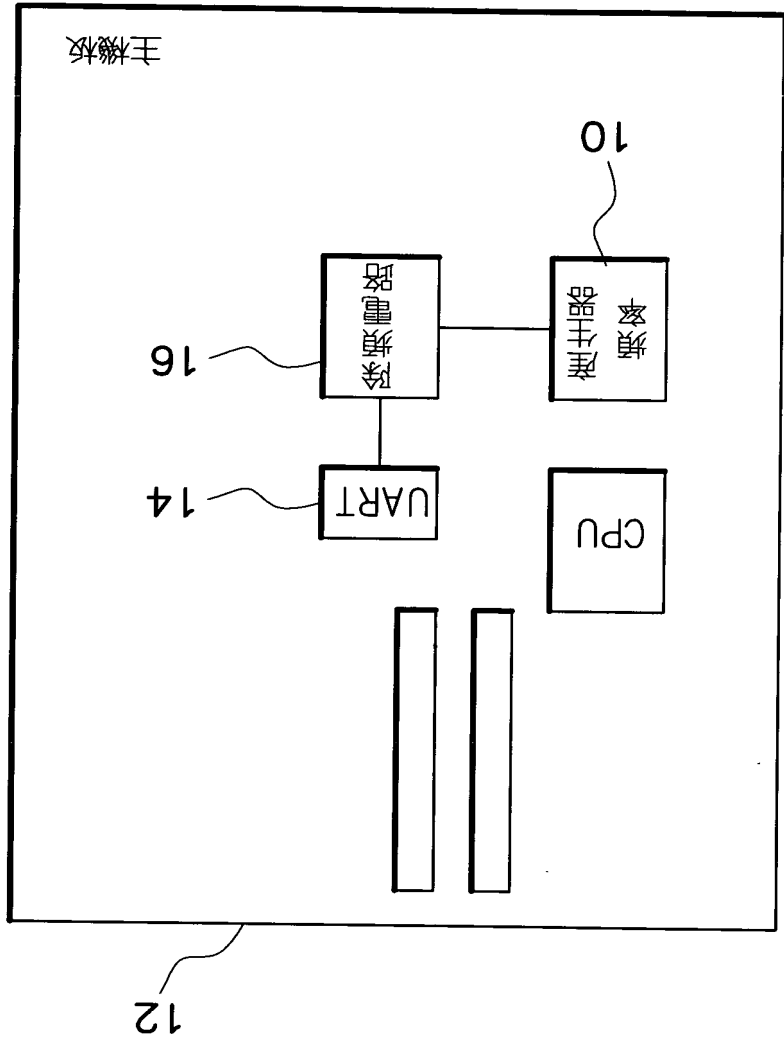
四、中文發明摘要 (發明名稱：半導體元件的製造方法)

五、英文發明摘要 (發明名稱：Method Of Fabricating Semiconductor Device)

the gate contact opening.



第 1 圖



六、指定代表圖

(一)、本案代表圖為：圖1C

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

202、204：區

206：閘極結構

208：閘介電層

210、212：閘極導體層

214：頂蓋層

216、222：介電層

218a：緩衝層

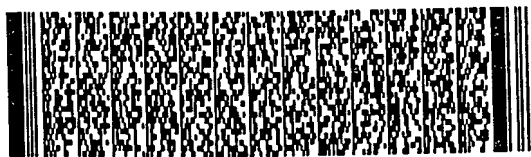
224：罩幕層

226、228、230：開口

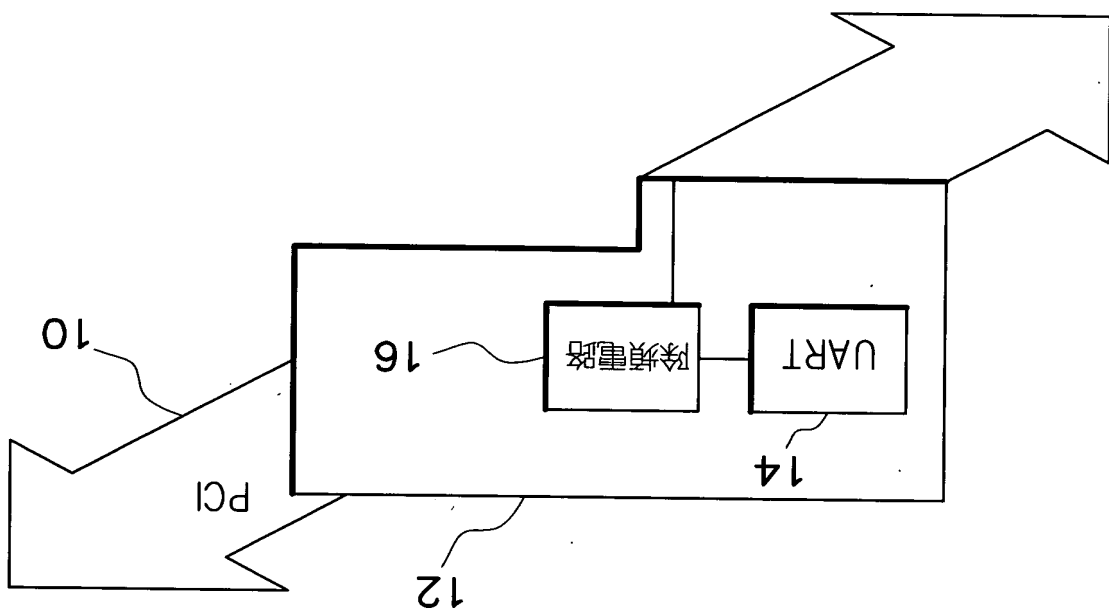
232、234、236：接觸窗開口

248：源極/汲極區

250：間隙壁



第1圖



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

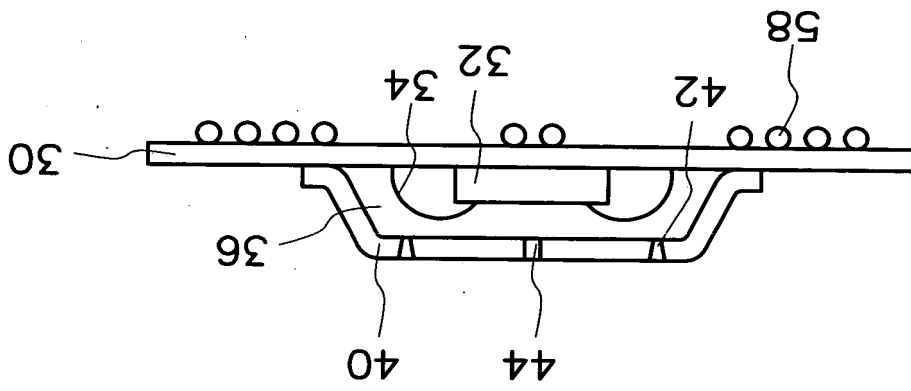
寄存號碼：

無

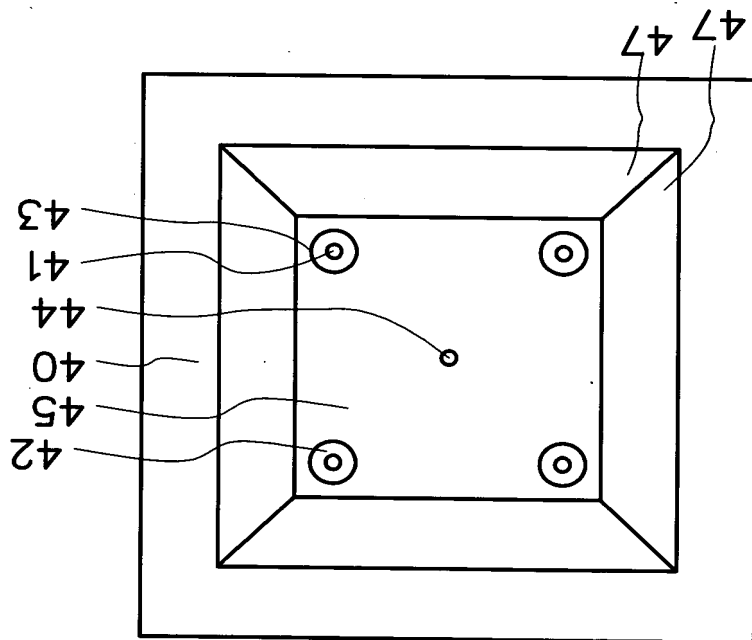
☐熟習該項技術者易於獲得, 不須寄存。



第 4 圖



第 3 圖



五、發明說明 (1)

【發明所屬之技術領域】

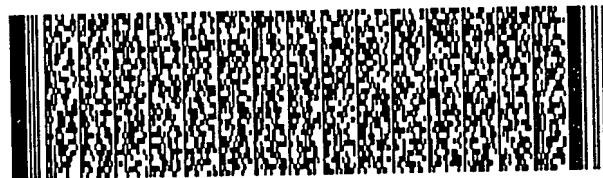
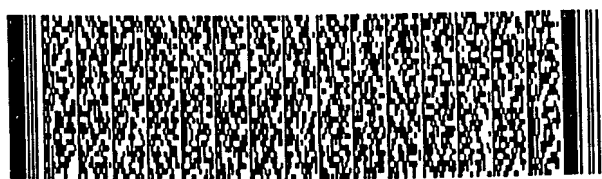
本發明是有關於一種積體電路的製造方法，且特別是有關於一種半導體元件的製造方法，此方法可以解決因為高寬比過高導致光阻層無法完全曝光而衍生的光阻殘留問題。

【先前技術】

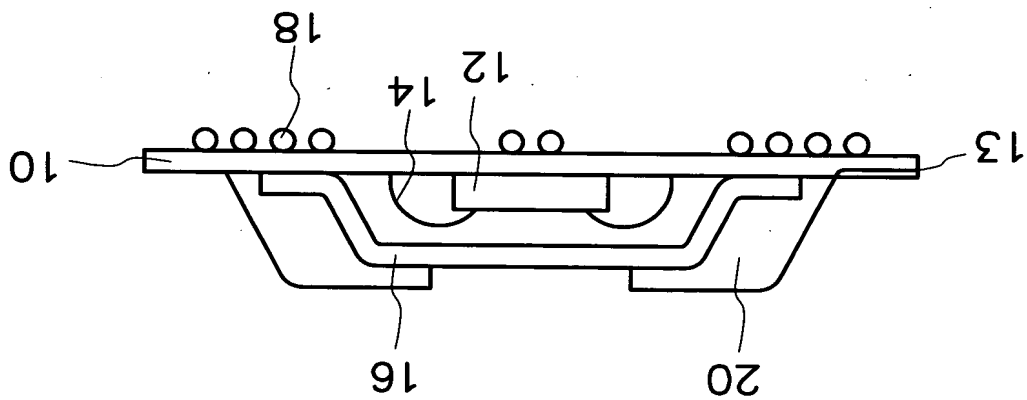
積體電路的製程係藉由接觸窗與導線將一元件的源極/汲極區或閘極與另一元件電性連接。常見的接觸窗例如是位元線接觸窗、閘極接觸窗。目前這兩種接觸窗由於製程的限制無法同時形成，而必須經由兩次的微影、蝕刻製程來完成。

典型的製程係先以一具有位元線接觸窗開口與閘極接觸窗開口圖案的光阻層為蝕刻罩幕，進行蝕刻製程，以去除覆蓋在基底上的介電層，形成裸露出基底的源極/汲極區的位元線接觸窗開口以及裸露出閘極結構其頂蓋層的半厚度完成閘極接觸窗開口。由於頂蓋層的材質為氮化矽且其厚度高達數百埃，若以前述的光罩再進行頂蓋層的蝕刻製程，則位元線接觸窗開口所裸露出來的基底表面會因為與氮化矽之間的蝕刻選擇比不足而遭受蝕刻製程的破壞。因此，通常會將前述的光阻層去除，之後再另外形成一層僅具有閘極接觸窗開口圖案的第二層光阻層來進行頂蓋層的蝕刻製程。

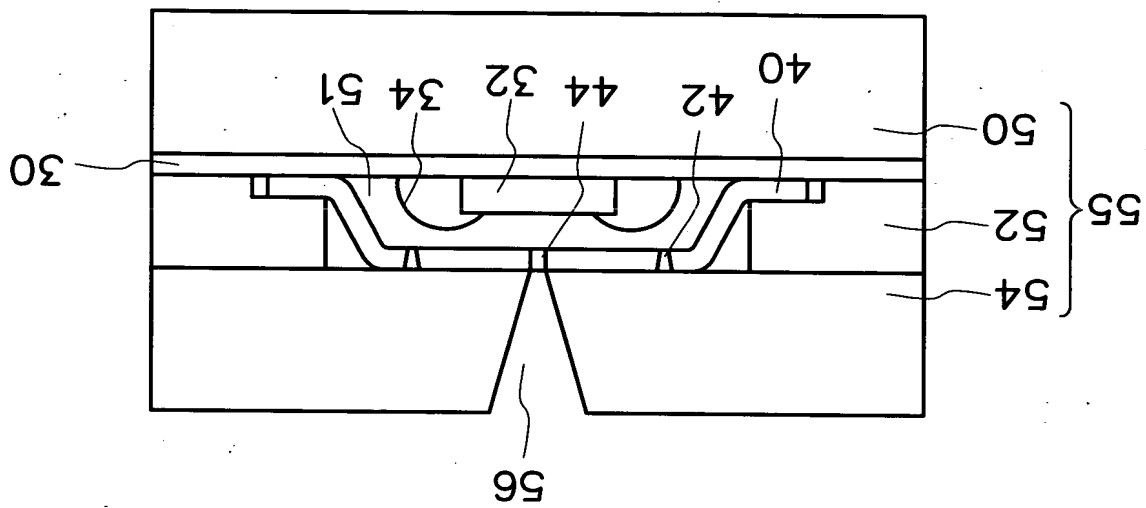
然而，上述的習知製程中，在進行第一次蝕刻以形成位元線接觸窗開口的製程中，由於必須經過長時間的蝕刻



第 1 圖



第 2 圖



五、發明說明 (2)

方能使基底的源極/汲極區裸露出來，因此一旦發生錯誤對準(misalignment)，閘極結構的頂蓋層與間隙壁，可能會因為長時間的蝕刻製程的破壞，而使得閘極導體層裸露出來，造成閘極導體層與後續形成的位元線接觸窗插塞發生短路的問題。

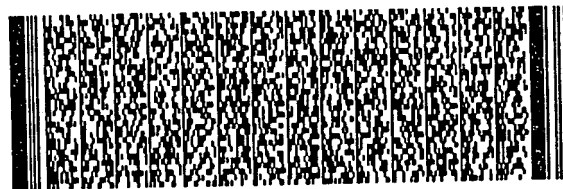
另一方面，由於基底上已具有半完成的閘極接觸窗開口，因此當第二層光阻材料層覆蓋在基底上時，亦會填入半完成的閘極接觸窗開口之中。由於半完成的閘極接觸窗開口的高寬比過高，因此，填在半完成閘極接觸窗開口底部的光阻材料層非常難以曝光，且在顯影後易殘留在頂蓋層上，以致於頂蓋層無法在後續的蝕刻製程中被完全去除，而造成殘留，影響接觸窗的接觸阻值。

【發明內容】

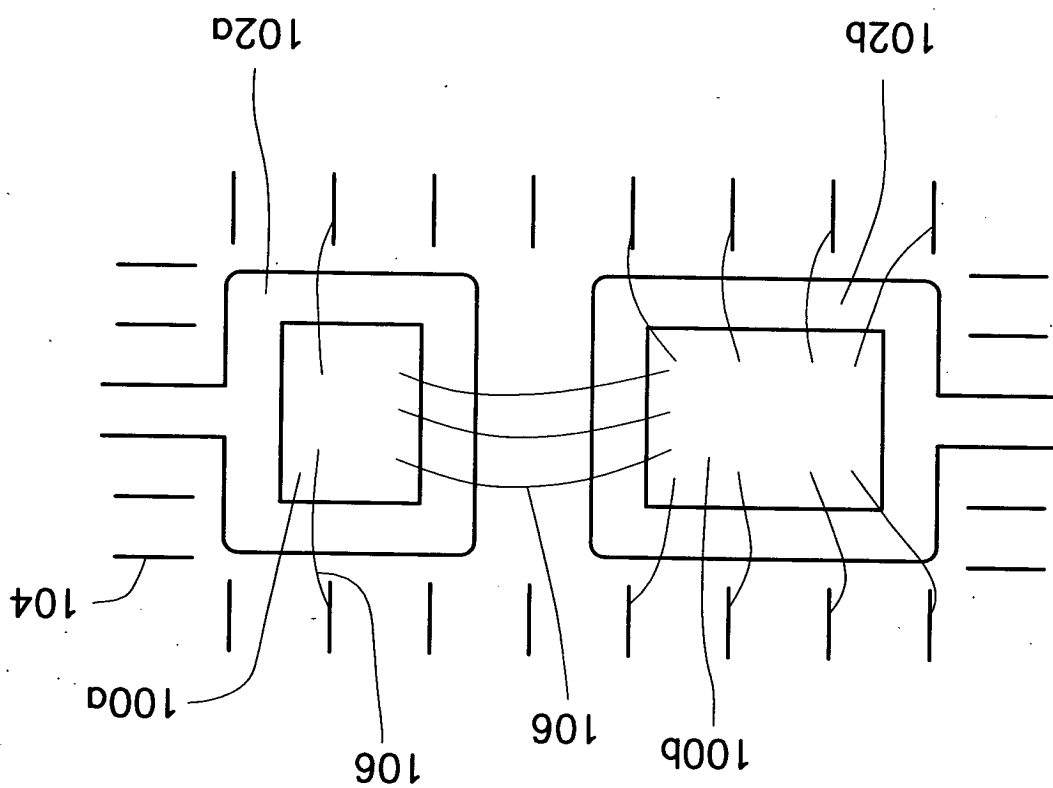
本發明的目的就是在提供一種半導體元件的製造方法，其可以解決因為高寬比過高導致光阻層無法完全曝光而衍生的光阻殘留問題。

本發明的再一目的就是在提供一種半導體元件的製造方法，其可以避免閘極導體層與位元線接觸窗插塞發生短路。

本發明提出一種半導體元件的製造方法，此方法係在基底上形成具有頂蓋層的閘極結構，並在其側壁形成間砂介壁，之後，在基底上形成一層頂面裸露出頂蓋層的第一介電層，再於基底上預定形成第一接觸窗開口的第一介電層及其周圍的頂蓋層上覆蓋一層緩衝層，並使得未覆蓋緩衝



第 6 圖



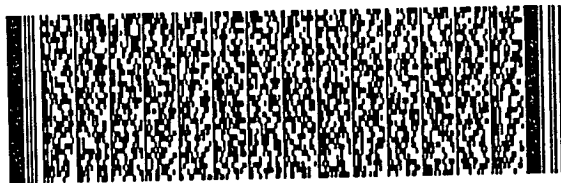
五、發明說明 (3)

層，層開露第二。此的口以露口。接罩第所形的。著幕一裸成第。緩幕窗第電口觸於單觸其介開接小層接層一二二或一二幕第第等於成第罩與其成等形與刻層層形度並口蝕衝幕以厚，開，緩罩，的層窗後的刻層層電觸之方蝕蓋蓋介接。下時頂頂二一案其同的的第第圖及，方的第義口層口下來成義口層口下出形定開電開其露上以二介窗及裸底用第二觸層而基有與第接電層於具口的的一介

頂蓋層的蝕同的，其二者之材料例如是氮化矽。

具程階；可不露層過三層則亦裸電的成止段，層接口分中階準體一開程為三對導第窗製作第誤極和觸刻層而錯開層接蝕蓋；生得電一得頂層發使介第使與止使而二成而層中即壞第形，衝為，破壞與在整緩作此刻係，調以層因蝕，此的以電。受質因體可介成遭材，氣段一完壁之率刻階第內隙層速蝕一以間間衝刻由第以時與緩蝕藉其可的層形於的以，段短蓋情由同可行階很頂的不，進行段在有來有中，進二在有來有中段第以會出

第一得衝蓋接觸阻
第使緩覆接光
的並於再一以
口，小，第，
開層或層成後
窗料於料形然
觸材等材料定，
接衝度衝預上
一緩厚緩上層
第層的層底蓋
成一層一基頂
形蓋蓋成在的
定覆頂形蓋圍
預上的先覆周
上層來上係其
底蓋出底層及
基頂露基阻層
在的裸在光電
述圍而先此介
上層以，一
，其衝可層第
外及緩驟阻的
此層蓋步光口
電覆的層開
介未層一窗



五、發明說明 (4)

層為罩幕，蝕刻去除未被光阻層所覆蓋的緩衝材料層，裸露出頂蓋層後，再將所裸露出來的頂蓋層部分蝕刻去除，以使得蝕刻後留下的頂蓋層的厚度等於或小於緩衝層的厚度。

由於本發明在形成接觸窗開口的蝕刻過程中，罩幕層其第二開口所裸露出來的頂蓋層的厚度等於或小於緩衝層的厚度，因此在蝕刻緩衝層的同時頂蓋層可以被完全去除，因此，本發明不需為了去除頂蓋層再額外形成一層光阻層，固可以避免習知寬比過高導致光阻層底部無法曝光所衍生的問題。

依照本發明實施例所述，本發明亦可在形成頂蓋層與緩衝層時，即將緩衝層的厚度控制得比頂蓋層厚，以達到在形成接觸窗開口的蝕刻過程中確保罩幕層其第二開口所裸露出來的頂蓋層被完全去除之目的。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

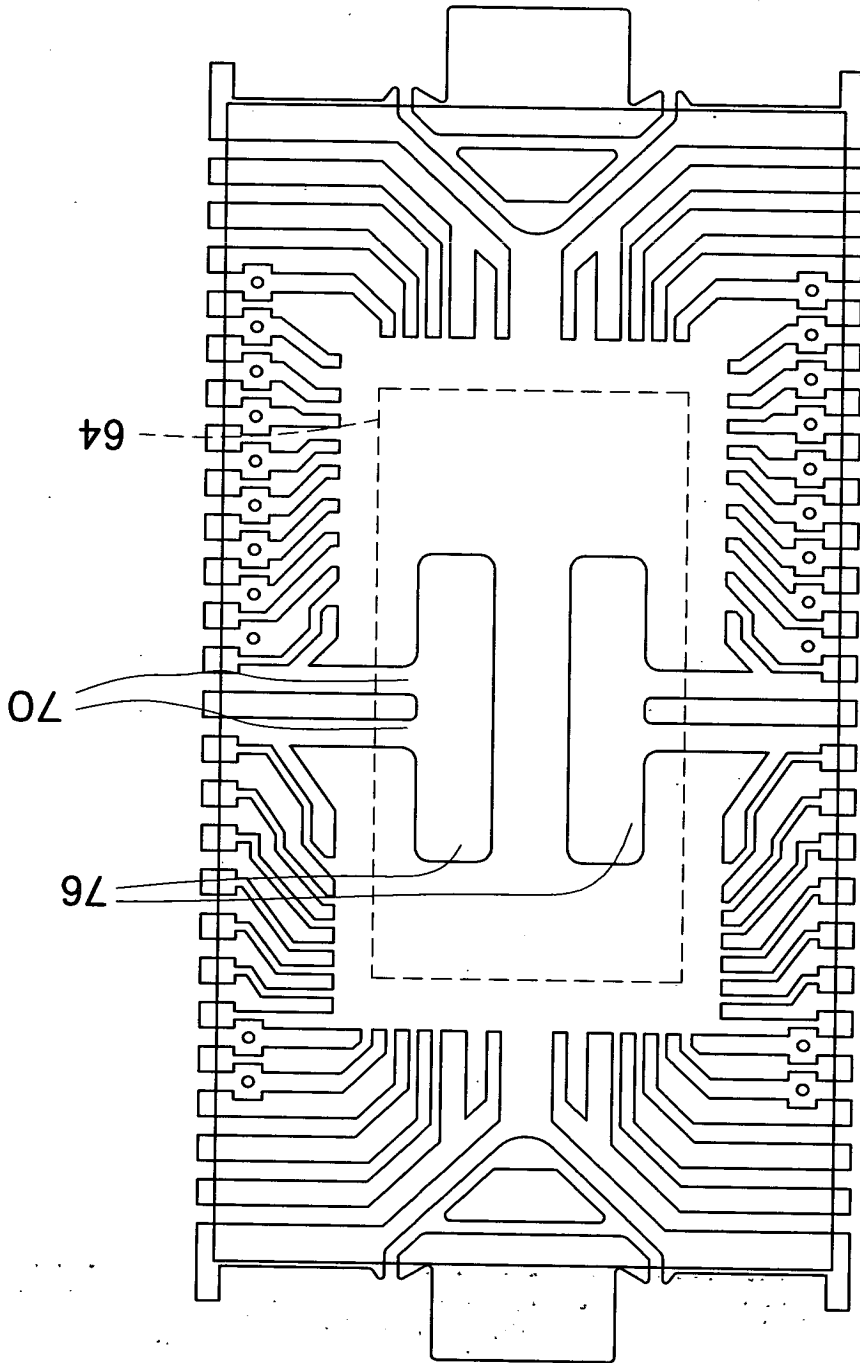
【實施方式】

圖1A至圖1E係依照本發明較佳實施例所繪示之一種半導體元件的製造方法的流程剖面圖。

請參照圖1A，提供一基底200，其區分為第一區202與第二區204。第一區202例如是記憶胞區中預定形成位元線接觸窗之周緣區域；第二區204則例如是記憶胞區中預定形成閘極接觸窗之周緣區域以及周邊電路區(periphery



第4C圖

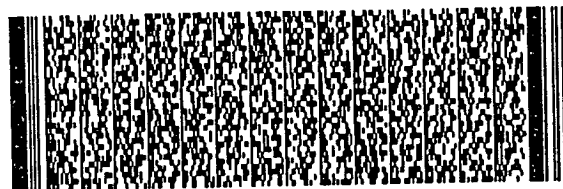


五、發明說明 (5)

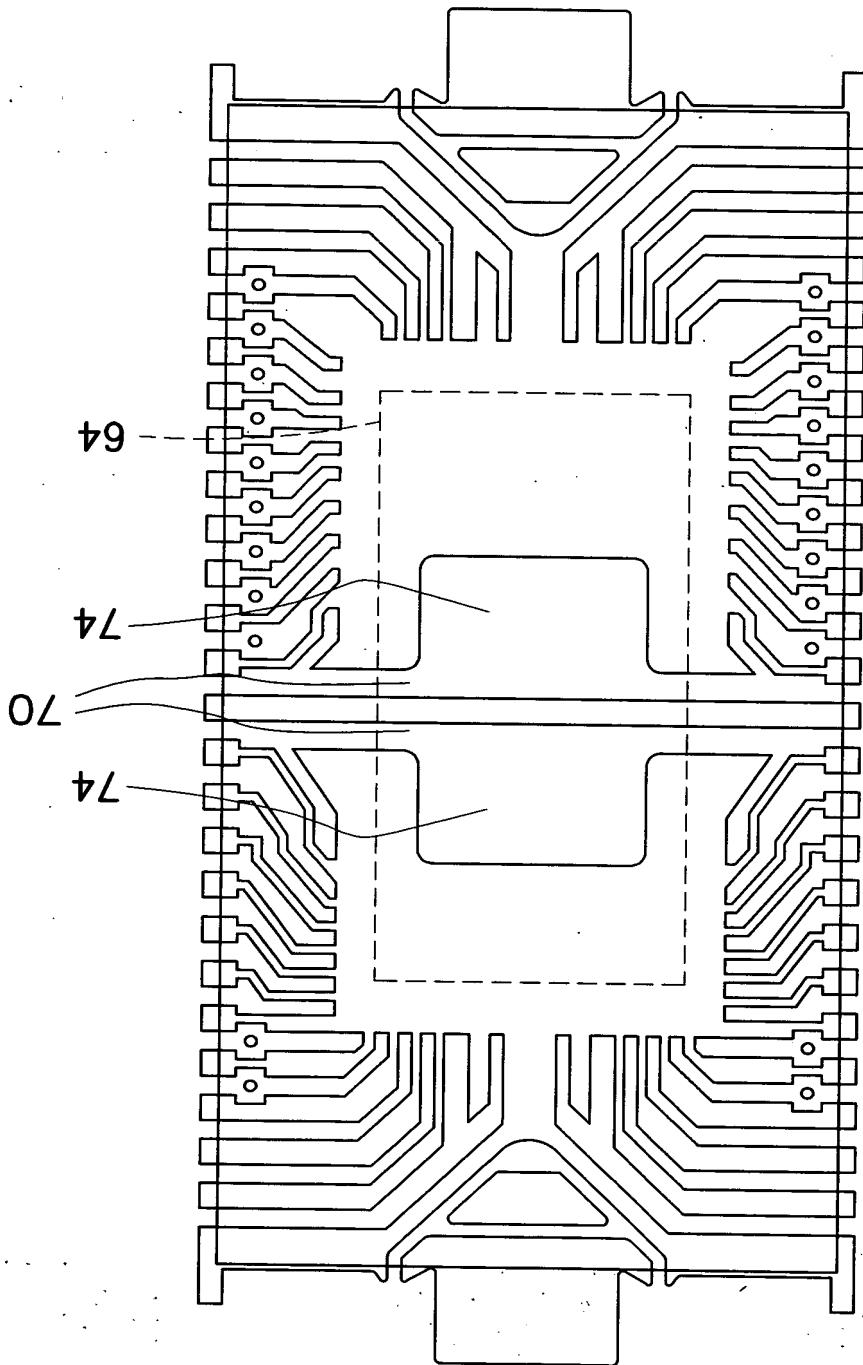
region)。首先，在基底200的第一區202與第二區204上分別形成多數個閘極結構206。閘極結構206包含依序堆疊在基底200上之閘介電層208、閘極導體層210、212與頂蓋層214。閘介電層208之材質例如是氧化矽；閘極導體層210、212之材質例如是複晶矽、金屬矽化物；頂蓋層214之材質例如是氮化矽。接著，在基底200中形成源極/汲極區248，其形成的方法例如是離子植入法。之後，在閘極結構206的側壁形成間隙壁250。間隙壁250之材質例如是氮化矽，形成的方法例如是先基底200上形成一層氮化矽層，再進行回蝕刻，以形成之。

其後，在基底200上形成一層介電層214，此介電層214之頂面裸露出閘極結構206的頂蓋層214。介電層214的形成方法例如是在基底200上形成一層介電材料層，例如是硼磷矽玻璃或氧化矽，之後，再進行化學機械研磨製程，以頂蓋層214為研磨終止層，以研除頂蓋層214以上的介電材料層，使頂蓋層214裸露出來。

接著，在基底200上形成一層緩衝層218，以覆蓋介電層216與頂蓋層214。緩衝層218之材質係與介電層216以及後續形成之介電層222(圖1C)具有不同蝕刻率者，其材質例如是氮化矽層。其後，在緩衝層218上形成一層罩幕層220。罩幕層220，例如是一層光阻層，其係覆蓋第一區202，而裸露出第二區204的緩衝層218。此罩幕層220可以與用以開啟對準標記的光阻層整合在一起，即罩幕層220同時具有裸露出第二區204的開口圖案與用以開啟對準標



第48圖



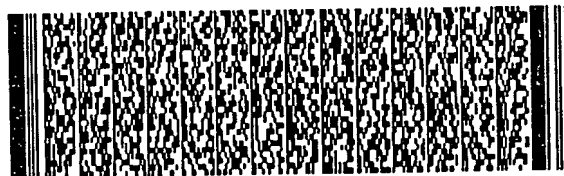
五、發明說明 (6)

記的開口圖案(未繪示)。

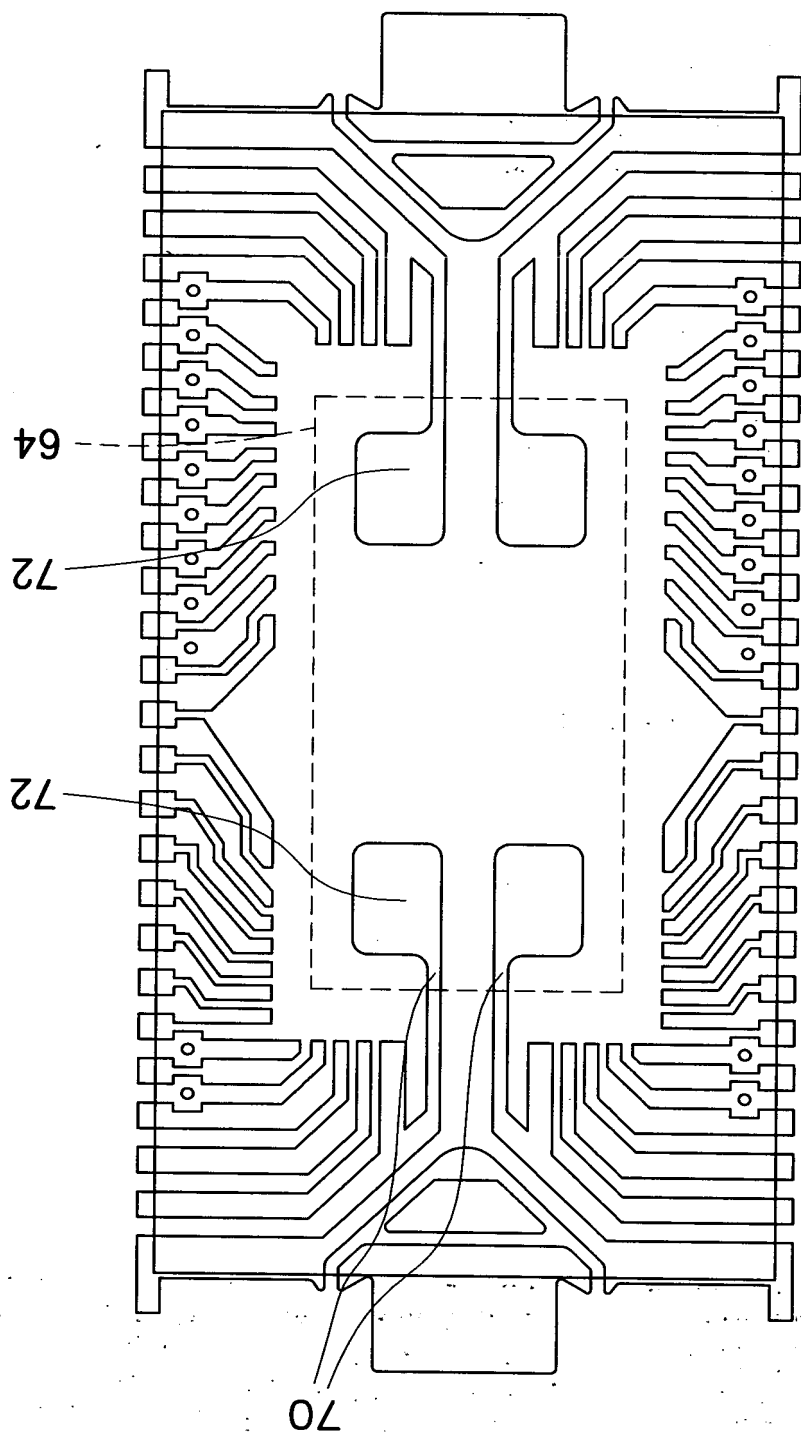
接著，請參照圖1B，進行一蝕刻製程，以去除未被罩幕層220覆蓋的緩衝層218，即第二區204上的緩衝層218，並同時部分蝕刻去除第二區204所裸露出來的頂蓋層214，以使得第二區204所留下的頂蓋層214a的厚度等於或小於留在第一區202上的緩衝層218a的厚度。若是在形成頂蓋層214與緩衝層218時，即考慮到頂蓋層214的厚度等於或小於緩衝層218的需求，則上述在去除第二區204上的緩衝層218時，則不需再將第二區204所裸露出來的頂蓋層214部分蝕刻。其後，再去除罩幕層220。

之後，請參照圖1C，在基底200上形成另一層介電層222，例如是氧化矽層。然後，在介電層222上形成一層罩幕層224。罩幕層224之材質例如是光阻，其具有開口226、228與230。其中開口226係與第一區202中源極/汲極區248之位置相對應；開口228係與第二區204中例如是記憶體區之閘極結構206之頂蓋層214a的位置相對應；開口230係與第二區204例如是周邊記憶體區中的源極/汲極區248的位置相對應。

其後，在一蝕刻機台中進行蝕刻製程，以去除罩幕層224其開口226、228與230所裸露的介電層222，使開口226裸露出第一區202的緩衝層218a；開口228裸露出第二區204的頂蓋層214a；開口230裸露出介電層216。當介電層222之材質為氧化矽時，此蝕刻製程所使用的氣體例如是 CF_4 、 O_2 和Ar。



第4A圖



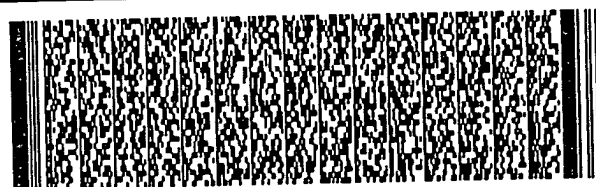
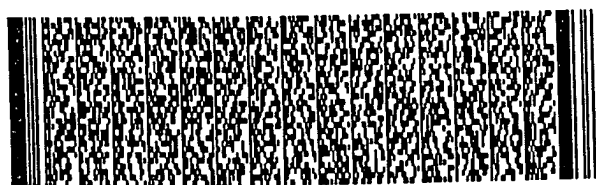
五、發明說明 (7)

之後，請參照圖1D，在同一蝕刻機台中繼續進行蝕刻製程，以去除開口226所裸露的緩衝層218a，並去除開口228所裸露的頂蓋層214a，形成開極接觸窗開口232。當緩衝層218a與頂蓋層214a之材質為氮化矽時，此蝕刻製程所使用的氣體例如是 CF_4 、 CHF_3 、 O_2 與Ar。由於頂蓋層214a的厚度等於或小於緩衝層218a的厚度，因此，當緩衝層218a被完全去除之後，即可確定頂蓋層214a被完全去除。

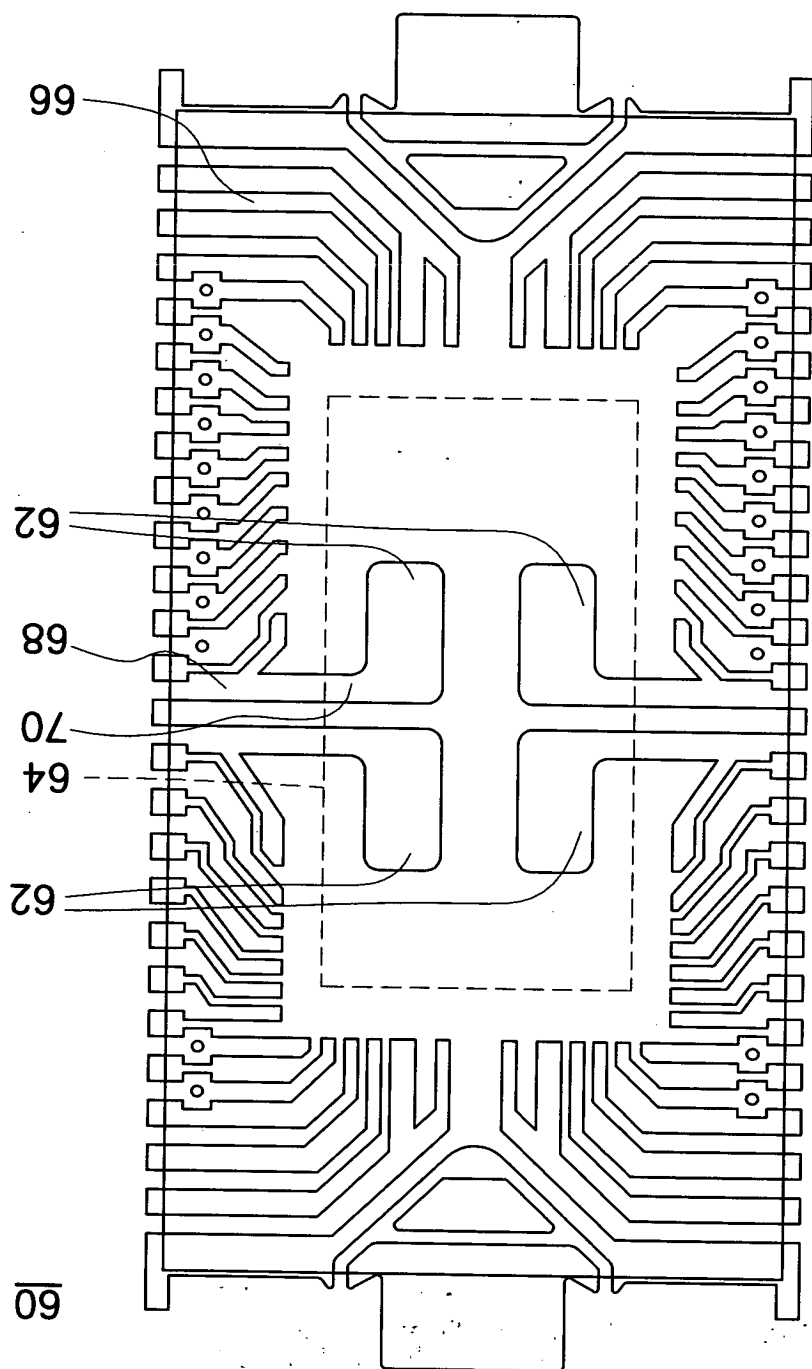
之後，在同一蝕刻機台中繼續進行蝕刻製程，以去除開口226、230所裸露的介電層216，以形成接觸窗開口234與236，其中接觸窗開口234例如是一個裸露出源極/汲極區248的位元線窗接觸窗開口；接觸窗開口236例如是周邊電路區中裸露出源極/汲極區248的一個接觸窗開口。此蝕刻製程所使用的氣體例如是 C_4F_6 、 O_2 和Ar。

其後，請參照圖1E，去除罩幕層224。再於接觸窗開口232、234、236中填入導體層，以形成接觸窗插塞238、240、242。

由於緩衝層之材質，係與其上、下二層介電層具有不同的蝕刻速率，因此，在形成接觸窗開口的過程中，可以藉由蝕刻氣體的調整，而使得蝕刻製程分成三階段，依序蝕刻第二層介電層、緩衝層與頂蓋層、第一介電層。其中第一階段可以以緩衝層與頂蓋層作為中止層；第二階段可以以第一層介電層作為中止層；而第三階段則可以在很短的時間內完成。因此，即使發生錯誤對準，亦不會有頂蓋層與間隙壁遭受蝕刻破壞而使得開極導體層裸露出來的情



第 3 圖



五、發明說明 (8)

形。

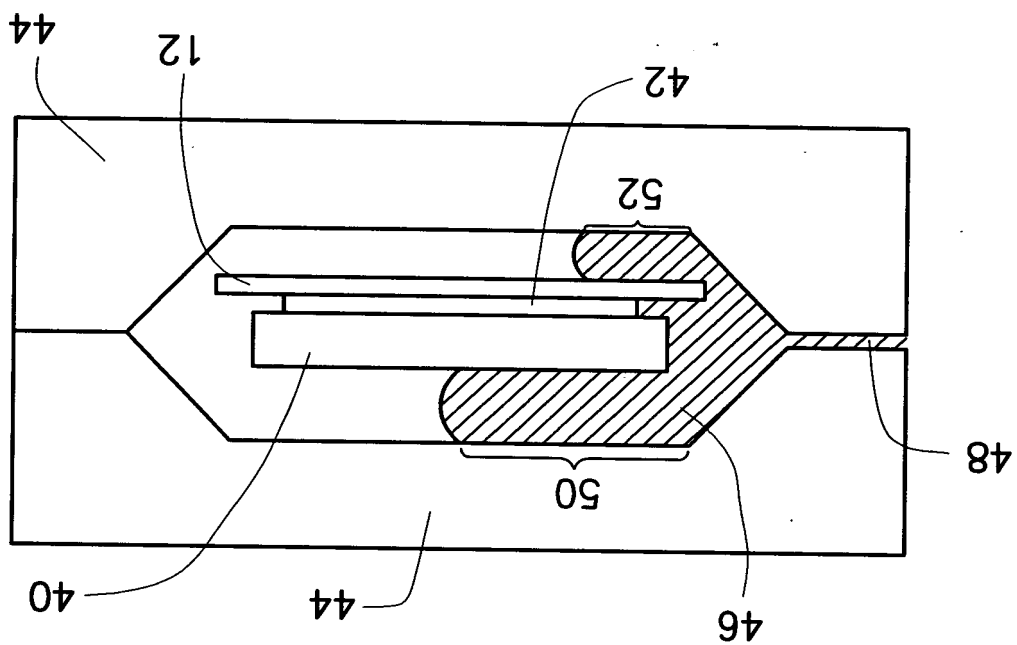
由於本發明在形成接觸窗開口之蝕刻過程中，罩幕層其開口所裸露出來之頂蓋層之厚度等於或小於緩衝層之厚度，因此，在蝕刻緩衝層之同時，頂蓋層亦可以被完全去除，因此，本發明不需為去除頂蓋層再額外形成一層光阻層，故可以避免習知寬比過高導致光阻層底部無法曝光所衍生的問題，且相較於習知，本發明具有較大的製程裕度。

依照本發明實施例所述，本發明亦可在形成頂蓋層與緩衝層時，即將緩衝層之厚度控制得比頂蓋層厚，以達到在形成接觸窗開口之蝕刻過程中，確保罩幕層其第二開口所裸露出來之頂蓋層被完全去除之目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



第 2 圖



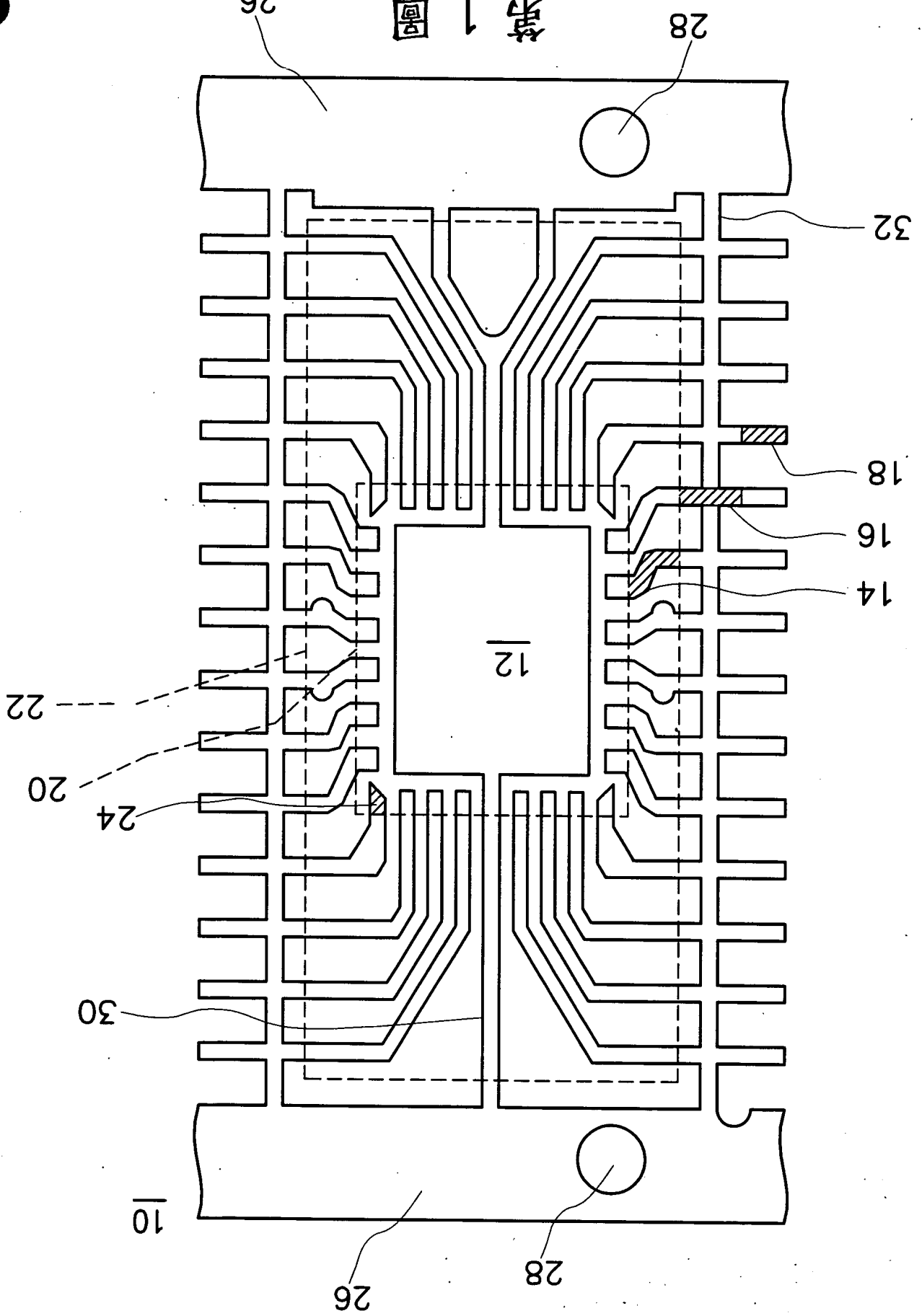
圖式簡單說明

圖1A至圖1E係依照本發明較佳實施例所繪示之一種半導體元件的製造方法的流程剖面圖。

【圖式標示說明】

- 200 : 基底
- 202、204 : 區
- 206 : 閘極結構
- 208 : 閘介電層
- 210、212 : 閘極導體層
- 214 : 頂蓋層
- 216、222 : 介電層
- 218、218a : 緩衝層
- 220、224 : 罩幕層
- 226、228、230 : 開口
- 232、234、236 : 接觸窗開口
- 238、240、242 : 接觸窗插塞
- 248 : 源極/汲極區
- 250 : 間隙壁





第 1 圖

六、申請專利範圍

1. 一種半導體元件的製造方法，該方法包括：

提供一基底，該基底包括一第一區與一第二區；

在該基底的該第一區與第二區上分別形成多數個閘極結構，該些閘極結構各包含依序堆疊之一閘介電層、一閘極導體層與一頂蓋層；

在該閘極結構的側壁形成一間隙壁；

在該些閘極結構之間的該基底中形成多數個導電區；

在該基底上形成一第一介電層，該第一介電層之頂面裸露出該些頂蓋層；

在該基底之該第一區上形成一緩衝層，以覆蓋該第一區之該第一介電層與該些頂蓋層；

去除該第二區上之該些閘極結構之部分該頂蓋層，使該第二區留下之該些頂蓋層的厚度等於或小於該緩衝層之厚度；

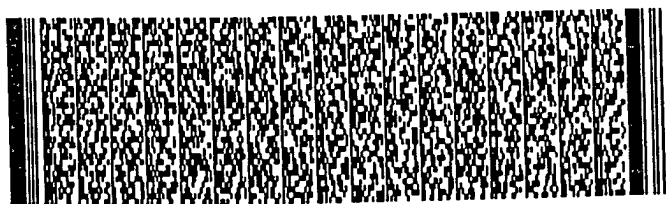
在該基底的該第一區與第二區上形成一第二介電層；

在該第二介電層上形成一第一罩幕層，該第一罩幕層具有：

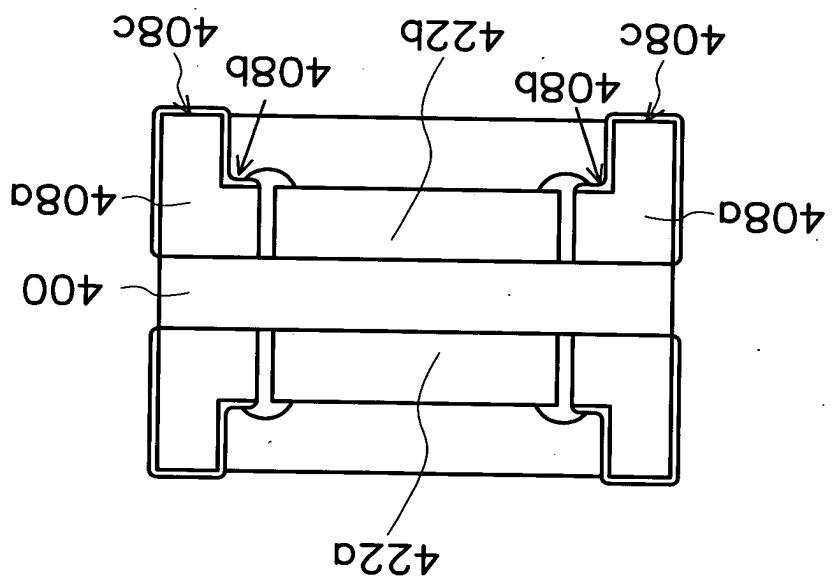
多數個第一開口，對應於該第一區之該些導電區；以及

多數個第二開口，對應於該第二區之該些閘極結構之該頂蓋層；

去除該些第一開口與該些第二開口所裸露之該第二介電層及其下方之該緩衝層、該頂蓋層以及該第一介電層，以分別形成多數個第一接觸窗開口與多數個第二接觸窗開口。



第15圖



六、申請專利範圍

口，其中該些第一接觸窗開口裸露出該第一區之該些導電區，該些第二接觸窗開口裸露出該第二區之該些閘極結構之該閘極導體層；以及

去除該第一罩幕層。

2. 如申請專利範圍第1項所述之半導體元件的製造方法，其中該緩衝層之材質與該頂蓋層之材質相同，且與該第二介電層以及該第一介電層具有不同的蝕刻速率。

3. 如申請專利範圍第2項所述之半導體元件的製造方法，其中形成該些第一接觸窗開口與該些第二接觸窗開口之步驟包括；

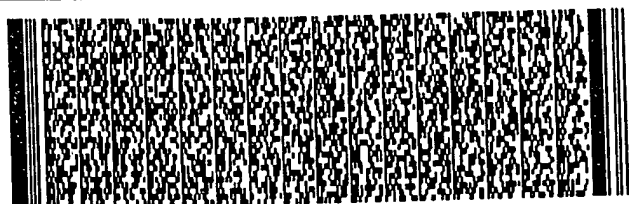
進行一第一蝕刻程序，以蝕刻去除該些第一開口與該些第二開口所裸露之該第二介電層，以使該些第一開口裸露出該緩衝層，該些第二開口裸露出該頂蓋層；

進行一第二蝕刻程序，以蝕刻去除該些第一開口所裸露之該緩衝層以及該些第二開口所裸露之該頂蓋層，以使第一開口裸露出該第一介電層，並且使該第二開口裸露出該第二區之該些閘極結構之該閘極導體層以形成該些第二接觸窗開口；以及

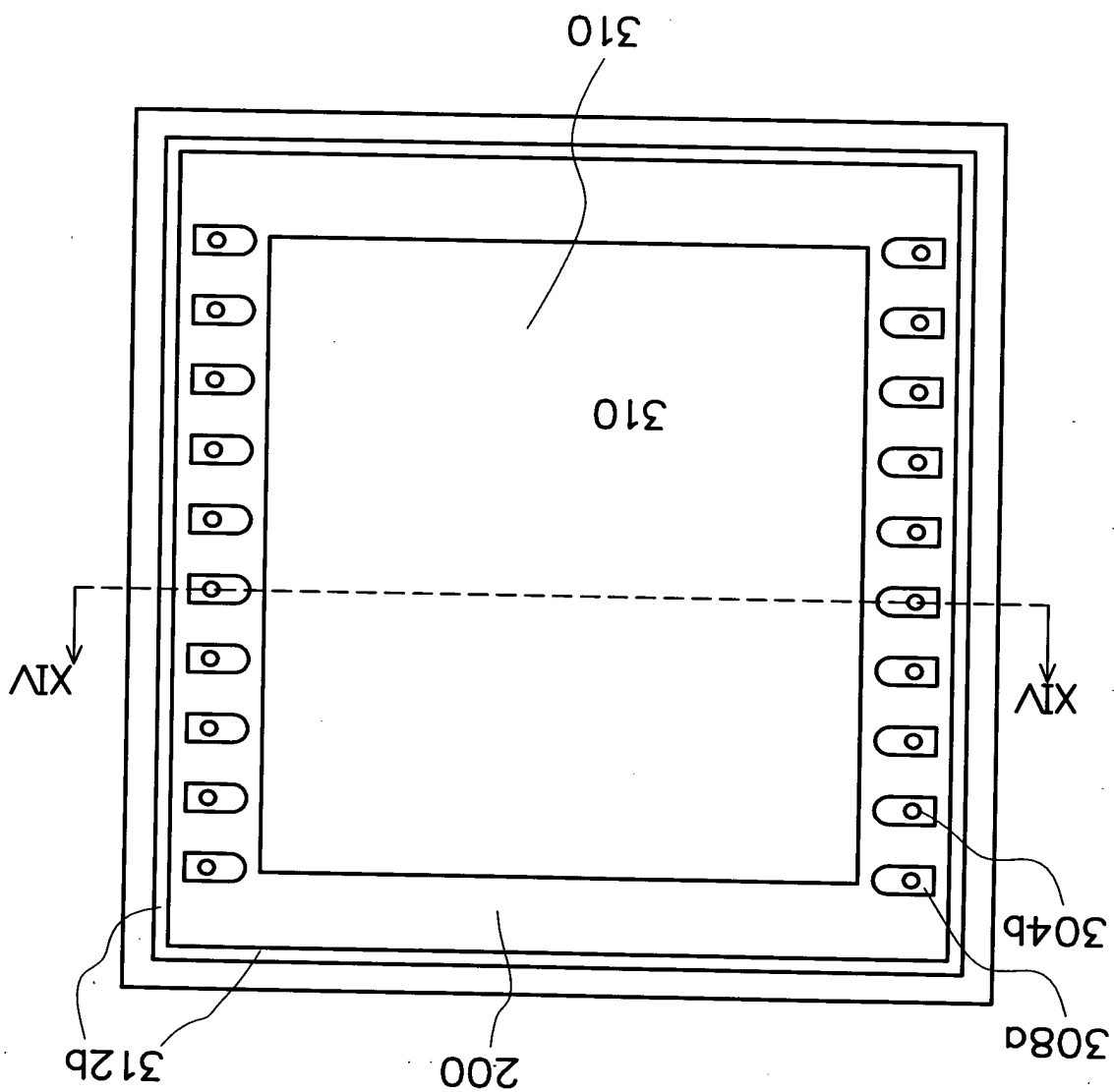
進行一第三蝕刻程序，以蝕刻去除該第一開口所裸露之該第一介電層，形成該些第一接觸窗開口。

4. 如申請專利範圍第3項所述之半導體元件的製造方法，其中該第一蝕刻程序、該第二蝕刻程序與該第三蝕刻程序係在同一機台中進行。

5. 如申請專利範圍第4項所述之半導體元件的製造方



第14C圖



六、申請專利範圍

法，其中該緩衝層與該頂蓋層之材質包括氮化矽，且該第二蝕刻程序所使用的氣體包括 CF_4 、 CHF_3 、 O_2 與Ar。

6. 如申請專利範圍第2項所述之半導體元件的製造方法，其中該第一罩幕更包括多數個第三開口，其對應於該第二區之部分該些導電區，且在進行該去除該些第一開口與該些第二開口所裸露之該第二介電層及其下方之該緩衝層、該頂蓋層以及該第一介電層之步驟時更包括；

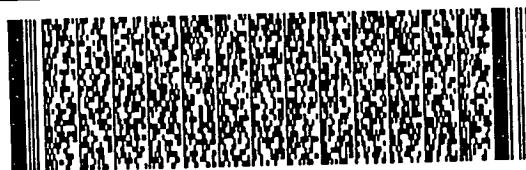
去除該些第三開口所裸露之該第二介電層及其下方之該第一介電層，以形成多數個第三接觸窗開口。

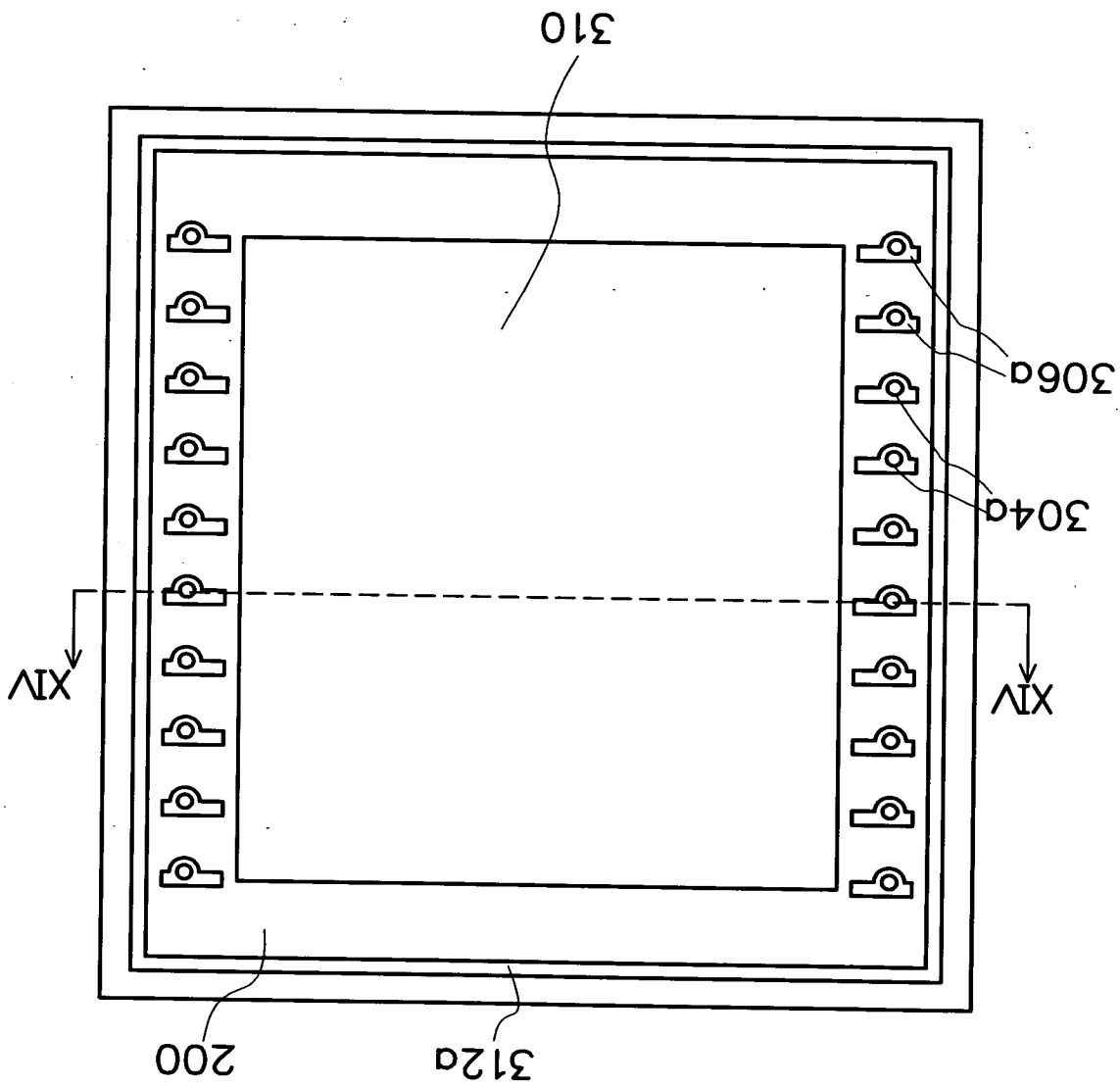
7. 如申請專利範圍第6項所述之半導體元件的製造方法，其中形成該些第一接觸窗開口、該些第二接觸窗開口與該些第三接觸窗開口之步驟包括；

進行一第一蝕刻程序，以蝕刻去除該些第一開口、該些第二開口與該些第三開口所裸露之該第二介電層，以使該些第一開口裸露出該緩衝層，該些第二開口裸露出該頂蓋層，該些第三開口裸露出該第一介電層；

進行一第二蝕刻程序，以蝕刻去除該些第一開口所裸露之該緩衝層以及該些第二開口所裸露之該頂蓋層，以使該些第一開口裸露出該第一介電層，該些第二開口裸露出第二區之該些開極結構之該開極導體層以形成該些第二接觸窗開口；以及

進行一第三蝕刻程序，以蝕刻去除該些第一開口與該些第三開口所裸露之該第一介電層，形成該些第二接觸窗開口與該些第三接觸窗開口。





第14B圖

六、申請專利範圍

8. 如申請專利範圍第7項所述之半導體元件的製造方法，其中該第一蝕刻程序、該第二蝕刻程序與該第三蝕刻程序係在同一機台中進行。

9. 如申請專利範圍第8項所述之半導體元件的製造方法，其中該緩衝層與該頂蓋層之材質包括氮化矽，且該第二蝕刻程序所使用的氣體包括 CF_4 、 CHF_3 、 O_2 與Ar。

10. 如申請專利範圍第2項所述之半導體元件的製造方法，其中在該基底之該第一區上形成該緩衝層以及去除該第二區上之該些閘極結構之部分該頂蓋層之步驟包括：

在該基底上形成一緩衝材料層，以覆蓋該第一介電層與該些頂蓋層；

在該基底之該第一區的該緩衝材料層上覆蓋一第二單幕層，裸露出該第二區之該緩衝材料層；以及

去除該第二區之該緩衝材料層，並去除該第二區上之該些閘極結構之部分該頂蓋層，使該第二區留下之該頂蓋層的厚度等於或小於該緩衝層之厚度。

11. 一種半導體元件的製造方法，該方法包括：

提供一基底，該基底包括一第一區與一第二區；

在該基底的該第一區與第二區上分別形成多數個閘極結構，該些閘極結構各包含依序堆疊之一閘介電層、一閘極導體層與一頂蓋層；

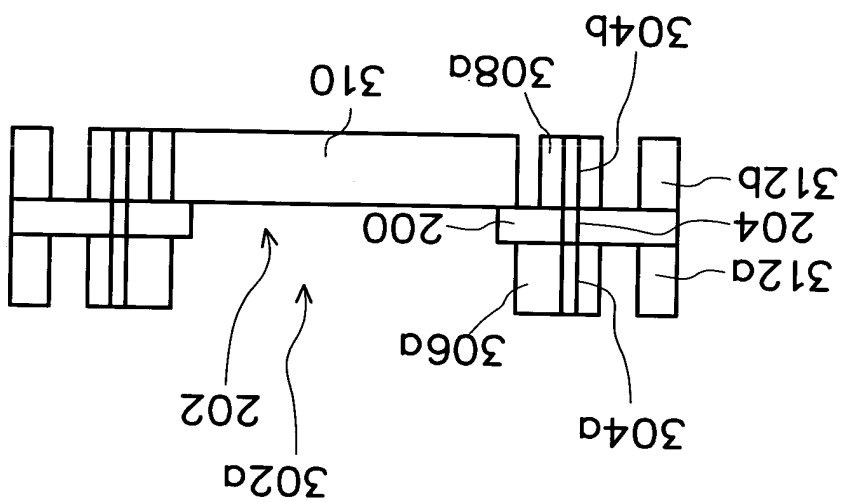
在各該閘極結構的側壁形成一間隙壁；

在該些閘極結構之間的該基底中形成多數個導電區；

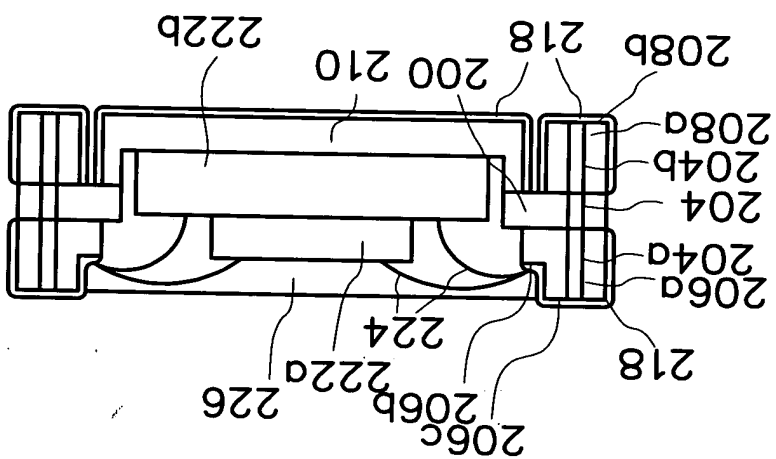
在該基底上形成一第一介電層，該第一介電層之頂面



第14A圖



第13圖



六、申請專利範圍

裸露出該些頂蓋層；

在該基底之該第一區上形成一緩衝層，以覆蓋該第一區之該第一介電層與該些頂蓋層，該緩衝層之厚度等於或大於該些頂蓋層的厚度；

在該基底的該第一區與第二區上形成一第二介電層；

在該第二介電層上形成一第一罩幕層，該第一罩幕層具有：

多數個第一開口，對應於該第一區之該些導電區；以及

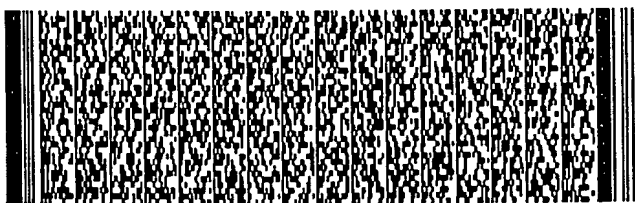
多數個第二開口，對應於該第二區之該些閘極結構之該頂蓋層；

去除該些第一開口與該些第二開口所裸露之該第二介電層及其下方之該緩衝層、該頂蓋層以及該第一介電層，以分別形成多數個第一接觸窗開口與多數個第二接觸窗開口，其中該些第一接觸窗開口裸露出該第一區之該些導電區，該些第二接觸窗開口裸露出該第二區之該些閘極結構之該閘極導體層；以及

去除該第一罩幕層。

12. 如申請專利範圍第11項所述之半導體元件的製造方法，其中該緩衝層之材質與該頂蓋層之材質相同，且與該第二介電層具有不同的蝕刻速率。

13. 如申請專利範圍第12項所述之半導體元件的製造方法，其中形成該些第一接觸窗開口與該些第二接觸窗開口之步驟包括；



THIS PAGE BLANK (USPTO)

六、申請專利範圍

進行一第一蝕刻程序，以蝕刻去除該些第一開口與該些第二開口所裸露之該第二介電層，以使該些第一開口裸露出該緩衝層，該些第二開口裸露出該頂蓋層；

進行一第二蝕刻程序，以蝕刻去除該些第一開口所裸露之該緩衝層，該些第二開口所裸露之該頂蓋層，以使第一開口裸露出該第一介電層，並且使該第二開口裸露出第二區之該些閘極結構之該閘極導體層以形成該些第二接觸窗開口；以及

進行一第三蝕刻程序，以蝕刻去除該第一開口所裸露之該第一介電層，形成該些第一接觸窗開口。

14. 如申請專利範圍第13項所述之半導體元件的製造方法，其中該第一蝕刻程序、該第二蝕刻程序與該第三蝕刻程序係在同一機台中進行。

15. 如申請專利範圍第14項所述之半導體元件的製造方法，其中該緩衝層與該頂蓋層之材質包括氮化矽，且該第二蝕刻程序所使用的氣體包括 CF_4 、 CHF_3 、 O_2 與Ar。

16. 如申請專利範圍第12項所述之半導體元件的製造方法，其中該第一罩幕更包括多數個第三開口，其對應於該第二區之部分該些導電區，且在進行該去除該些第一開口與該些第二開口所裸露之該第二介電層及其下方之該緩衝層、該頂蓋層以及該第一介電層之步驟時更包括；

去除該些第三開口所裸露之該第二介電層及其下方之該第一介電層，以形成多數個第三接觸窗開口。

17. 如申請專利範圍第16項所述之半導體元件的製造



THIS PAGE BLANK (USPTO)

六、申請專利範圍

方法，其中形成該些第一接觸窗開口、該些第二接觸窗開口與該些第三接觸窗開口之步驟包括；

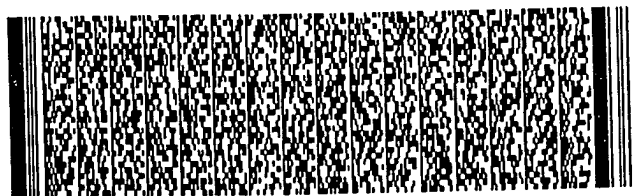
進行一第一蝕刻程序，以蝕刻去除該些第一開口、該些第二開口與第三開口所裸露之該第二介電層，以使該些第一開口裸露出該緩衝層，該些第二開口裸露出該頂蓋層，該些第三開口裸露出該第一介電層；

進行一第二蝕刻程序，以蝕刻去除該些第一開口所裸露之該緩衝層，該些第二開口所裸露之該頂蓋層，以使第一開口裸露出該第一介電層，該第二開口裸露出第二區之該些閘極結構之該閘極導體層以形成該些第二接觸窗開口；以及

進行一第三蝕刻程序，以蝕刻去除該第一開口與該第三開口所裸露之該第一介電層，形成該些第二接觸窗開口與該些第三接觸窗開口。

18. 如申請專利範圍第17項所述之半導體元件的製造方法，其中該第一蝕刻程序、該第二蝕刻程序與該第三蝕刻程序係在同一機台中進行。

19. 如申請專利範圍第18項所述之半導體元件的製造方法，其中該緩衝層與該頂蓋層之材質包括氮化矽，且該第二蝕刻程序所使用的氣體包括 CF_4 、 CHF_3 、 O_2 與Ar。



THIS PAGE BLANK (USPTO)

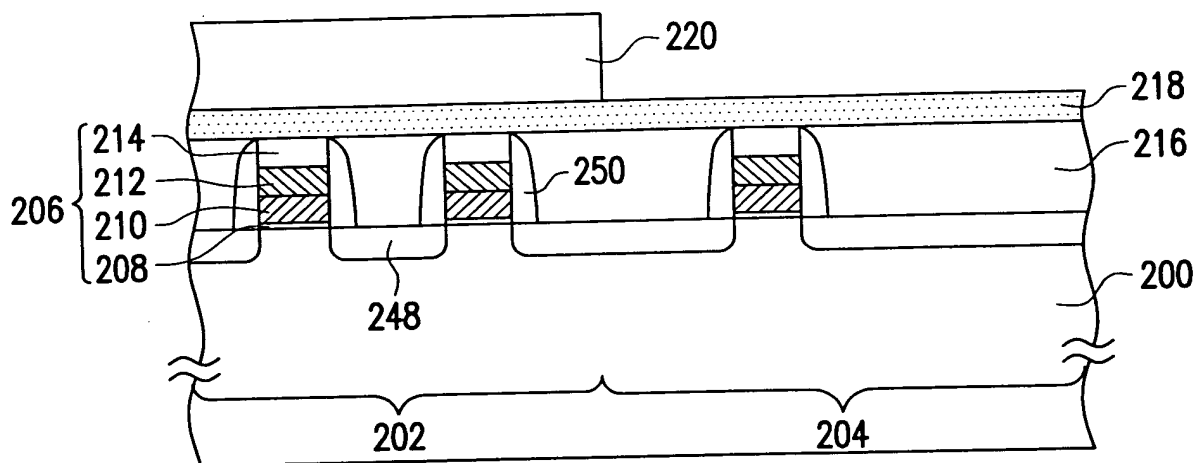


圖 1A

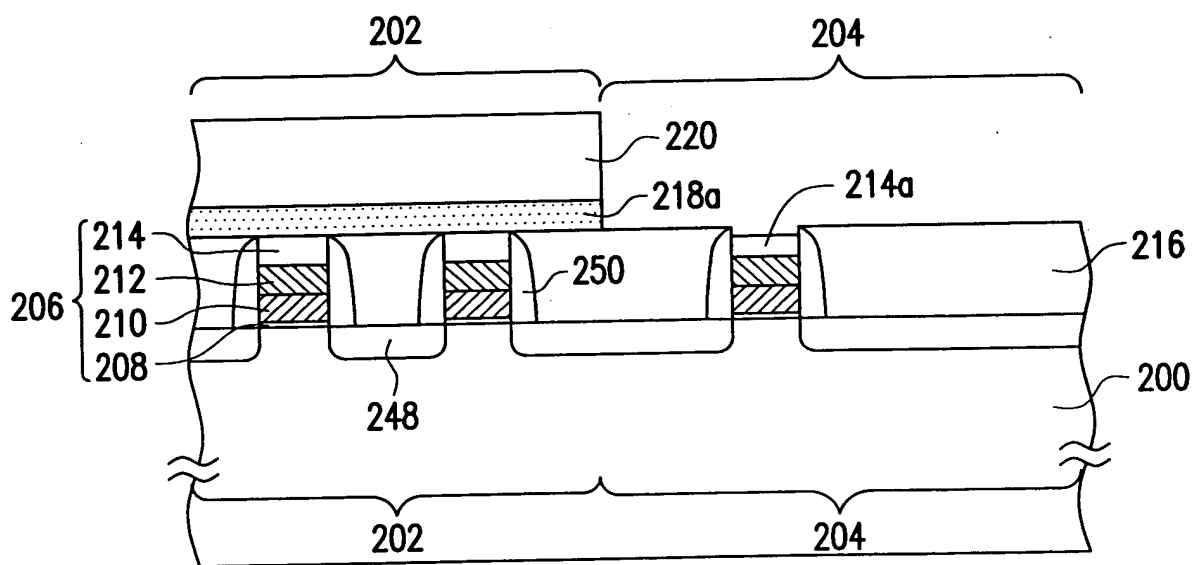


圖 1B

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

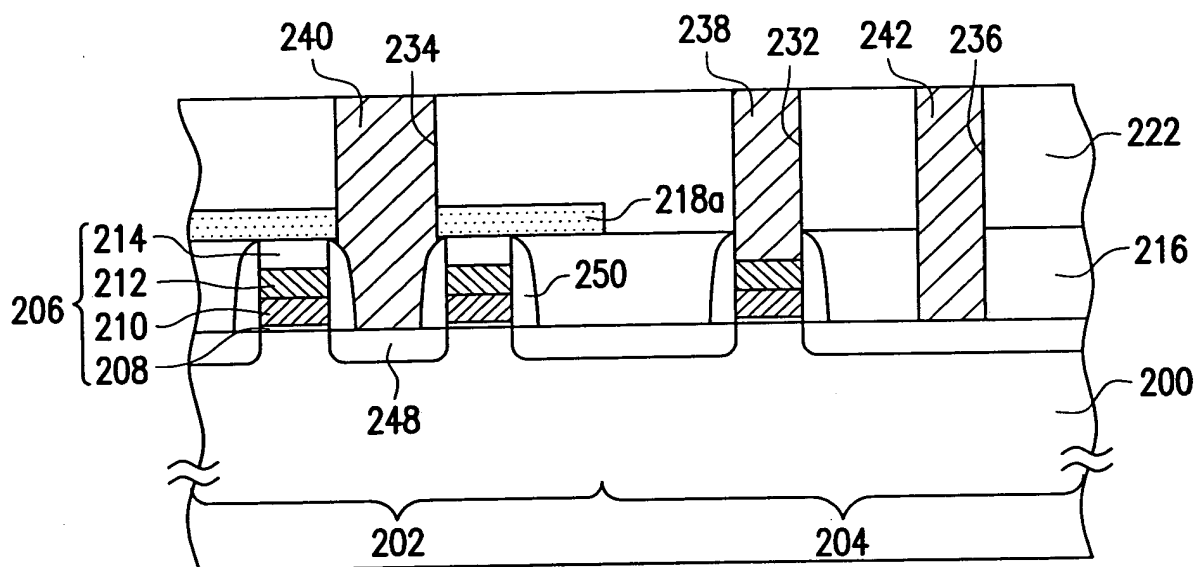


圖 1E

THIS PAGE BLANK (USPTO)

第 1/24 頁

第 1/24 頁

第 2/24 頁

第 3/24 頁

第 3/24 頁

第 4/24 頁

第 5/24 頁

第 6/24 頁

第 7/24 頁

第 8/24 頁

第 9/24 頁

第 9/24 頁

第 10/24 頁

第 10/24 頁

第 11/24 頁

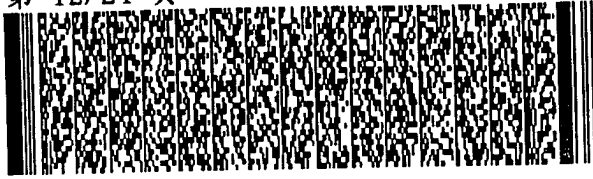
第 11/24 頁

THIS PAGE BLANK (USPTO)

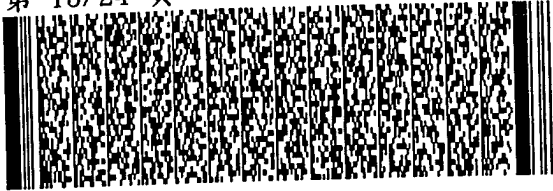
第 12/24 頁



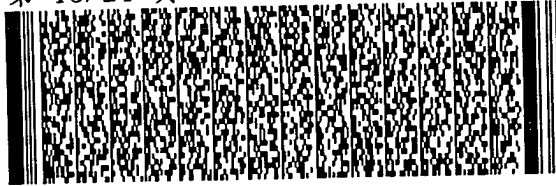
第 12/24 頁



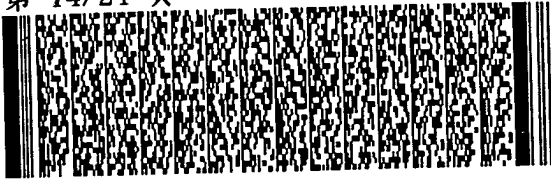
第 13/24 頁



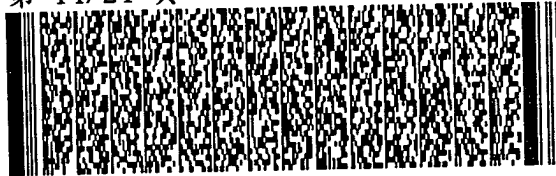
第 13/24 頁



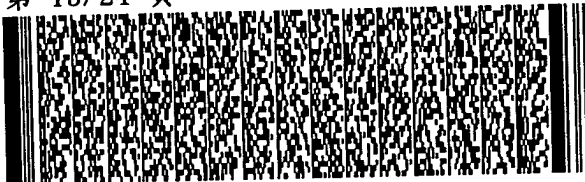
第 14/24 頁



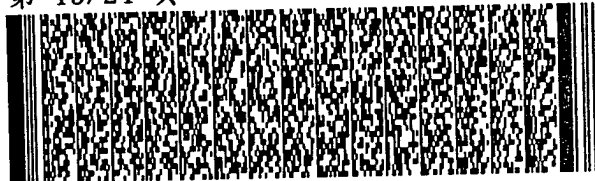
第 14/24 頁



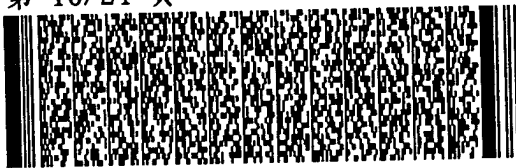
第 15/24 頁



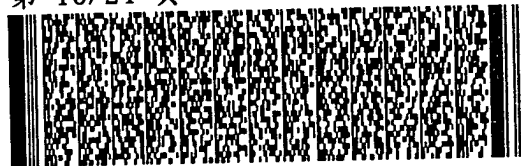
第 15/24 頁



第 16/24 頁



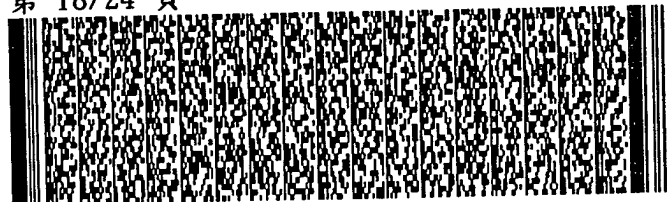
第 16/24 頁



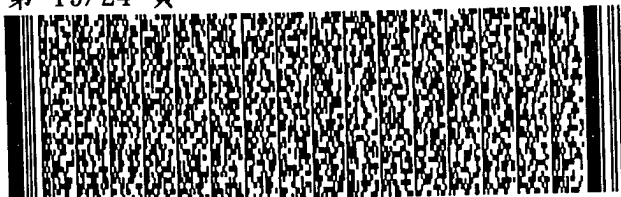
第 17/24 頁



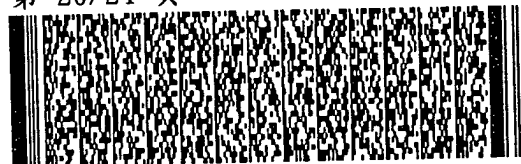
第 18/24 頁



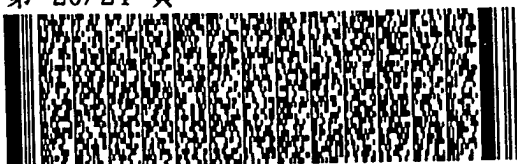
第 19/24 頁



第 20/24 頁



第 20/24 頁



第 21/24 頁

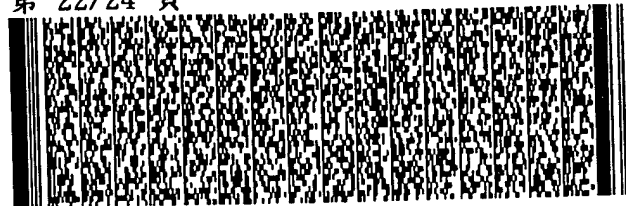


THIS PAGE BLANK (USPTO)

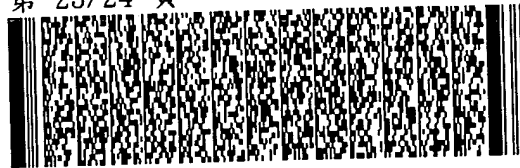
第 21/24 頁



第 22/24 頁



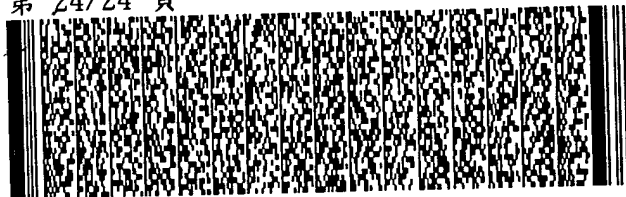
第 23/24 頁



第 23/24 頁



第 24/24 頁



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)